

**PROGRAMMATION  
MASSIVEMENT PARALLÈLE  
SUR XEON PHI**

# PLAN

---

- ✘ Motivations
- ✘ Différentes approches du calcul parallèle
- ✘ Xeon Phi
- ✘ Démo

# MOTIVATIONS

---

- ✗ Augmenter la fréquence → augmenter le voltage
- ✗ Physique:  $P=U^2/R$ 
  - + Energie a dissiper trop grande

# DIFFÉRENTES APPROCHES

---

## × SISD

- + Pas de parallélisme
- + Premiers processeurs

## × SIMD

- + Exécuter la même opération sur plusieurs données différentes
- + Vectorisation

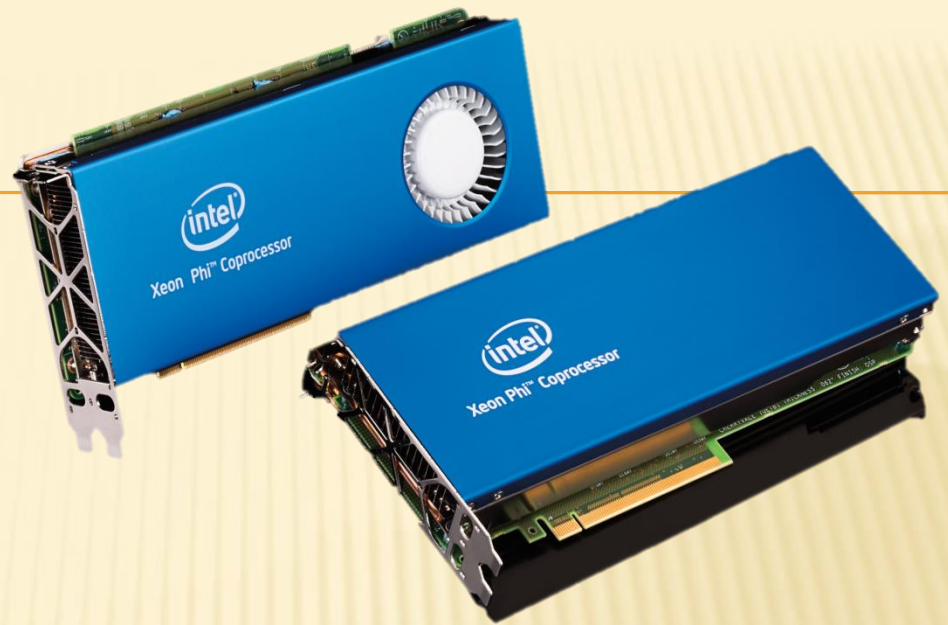
## × MIMD

- + Exécuter des opérations différentes sur plusieurs données différentes
- + Processeurs multi-cœurs
  - × Xeon phi: 60 coeurs

# XEON PHI

## Quelques chiffres

- ✗ 57-61 cœurs
  - + 4 threads par cœurs
- ✗ 245-300 W
- ✗ 1700-4200\$
- ✗ 2000-2400 Gflops simple précision
  - + 1000-1200 Gflops double précision

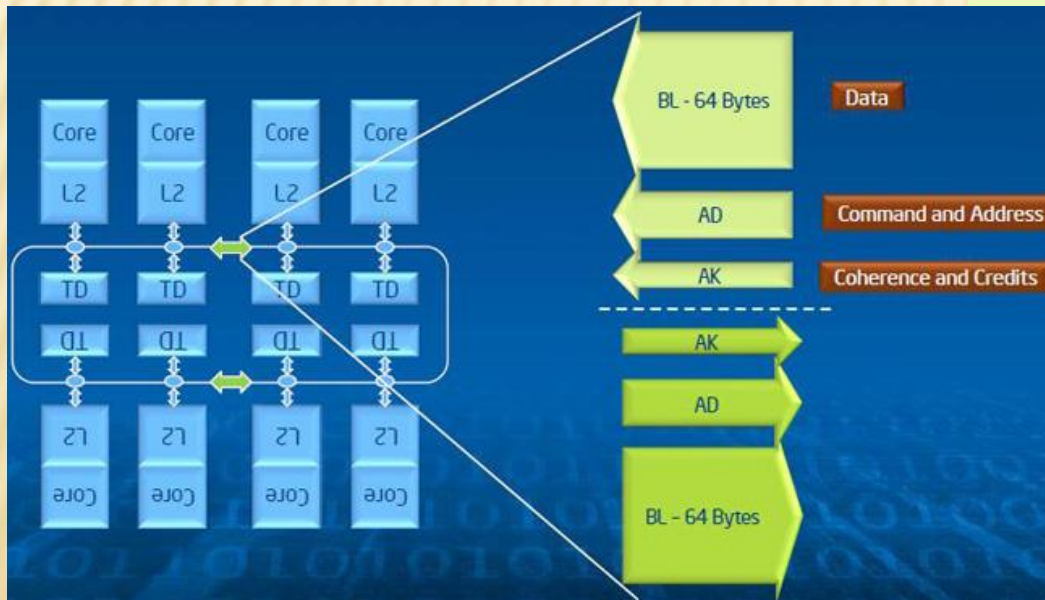
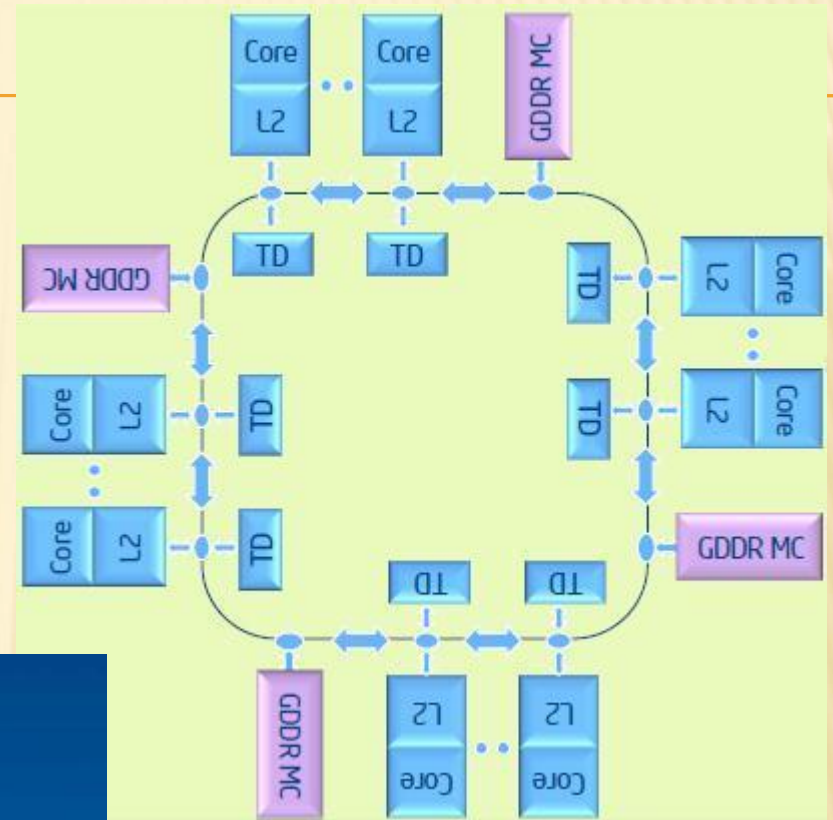


# XEON PHI

## Architecture

### ✘ Anneau d'interconnexion

- + Bidirectionnel
- + 300-350GB/s



# XEON PHI

## Vectorisation

- ✗ Travailler sur plusieurs valeurs en même temps

- + Registres de 512 bits

- ✗ 16 \* 32 bits (simple précision)

- ✗ 8 \* 64 bits (double précision)

- ✗ Exemple:

- + Addition de deux vecteurs de N entiers

- ✗  $N / 8 + 1$  tours de boucle

A	1	2	3	4	5	6	7	8
+B	12	14	16	18	20	22	24	26
=C	13	16	19	22	25	28	31	34

# SOURCES

---

- ✘ <http://ark.intel.com/fr/products/family/71840>
- ✘ [http://en.wikipedia.org/wiki/Intel\\_MIC](http://en.wikipedia.org/wiki/Intel_MIC)
- ✘ <http://software.intel.com/en-us/articles/intel-xeon-phi-coprocessor-codename-knights-corner>